

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-189716

(43)Date of publication of application : 21.07.1998

(51)Int.Cl.

H01L 21/768

(21)Application number : 08-344725

(71)Applicant : NEC CORP

(22)Date of filing : 25.12.1996

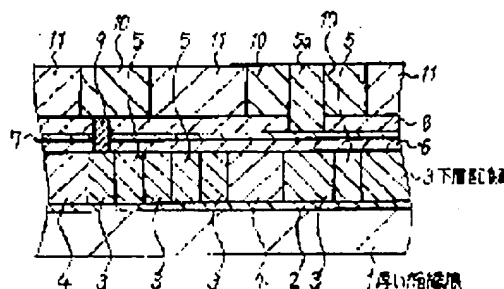
(72)Inventor : USAMI TATSUYA

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To enhance performance easily, by a method wherein a first interlayer insulating film is formed on the region having a narrow neighboring wiring interval, a second interlayer insulating film is formed on the region having a wide neighboring wiring interval, and the dielectric constant of the first interlayer insulating film is made smaller than the dielectric constant of the second interlayer insulating film.

SOLUTION: A first stopper film 2 so formed on an insulating film 1 formed on the surface of a semiconductor substrate. A lower layer wiring 3 is formed on the first stopper film 2. A first interlayer insulating film 47 is formed on the region having a wide wiring interval, and a low dielectric constant insulating film 5 is formed on the region having a narrow wiring interval. The relative dielectric constant of the low dielectric constant insulating film 5 is set smaller than the first interlayer insulating film 4. As a result, a large stepping gap is not formed on the interlayer insulating film, and the upper layer wiring layer of the multiwiring can be formed very easily.



LEGAL STATUS

[Date of request for examination]

25.12.1996

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number] 2910713

[Date of registration] 09.04.1999

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-189716

(43)公開日 平成10年(1998) 7月21日

(51)Int.Cl.⁴

H 0 1 L 21/768

識別記号

F I

H 0 1 L 21/90

C

審査請求 有 請求項の数10 O L (全 11 頁)

(21)出願番号 特願平8-344725

(22)出願日 平成8年(1996)12月25日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 宇佐美 達矢

東京都港区芝五丁目7番1号 日本電気株式会社内

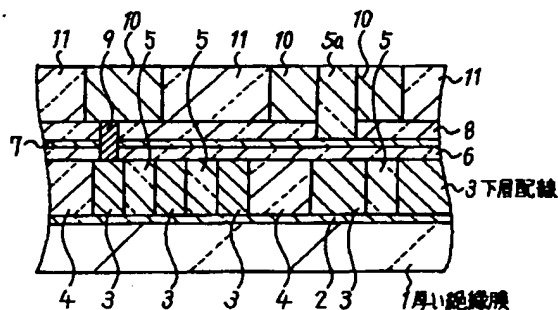
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】微細な配線構造の強度と信頼性を高めるとともにその性能向上を容易にする。

【解決手段】半導体素子を有する半導体基板上に絶縁膜を介して複数の配線が同一層に配設され、前記配線間のうち隣接配線間隔の狭い領域に選択的に第1の層間絶縁膜が形成され、前記隣接配線間隔の広い領域には第2の層間絶縁膜が形成され、前記第1の層間絶縁膜の誘電率が前記第2の層間絶縁膜の誘電率より小さくなっている。



- | | |
|-----------|------------|
| 2 第1ストップ膜 | 8 第3層間絶縁膜 |
| 4 第1層間絶縁膜 | 9 金属プラグ |
| 5 低誘電率絶縁膜 | 10 上層配線 |
| 6 第2層間絶縁膜 | 11 第4層間絶縁膜 |
| 7 第2ストップ膜 | |

【特許請求の範囲】

【請求項1】 半導体素子を有する半導体基板上に絶縁膜を介して複数の配線が同一層に配設され、前記配線間のうち隣接配線間隔の狭い領域に選択的に第1の層間絶縁膜が形成され、前記隣接配線間隔の広い領域には第2の層間絶縁膜が形成され、前記第1の層間絶縁膜の誘電率が前記第2の層間絶縁膜の誘電率より小さくなっていることを特徴とする半導体装置。

【請求項2】 前記第1の層間絶縁膜が前記複数の配線を含む一区画の領域に形成されていることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記半導体基板上の絶縁膜のうち前記配線間隔の狭いところの前記絶縁膜が掘り下げられ、前記配線間および前記絶縁膜の掘り下げられた領域に第1の層間絶縁膜が充填されていることを特徴とする請求項1又は請求項2記載の半導体装置。

【請求項4】 前記第1の層間絶縁膜の誘電率より大きな誘電率を有する第3の層間絶縁膜が前記配線の上面にのみに形成され、前記第1の層間絶縁膜が前記配線上の前記第3の層間絶縁膜間にも充填されていることを特徴とする請求項1、請求項2又は請求項3記載の半導体装置。

【請求項5】 前記第1の層間絶縁膜の誘電率より大きな誘電率を有する第4の層間絶縁膜が前記配線の側壁に形成されていることを特徴とする請求項1から請求項4のうち1つの請求項に記載の半導体装置。

【請求項6】 半導体基板上に形成される多層配線構造において、下層の配線構造および上層の配線構造が共に請求項1、請求項2、請求項3、請求項4あるいは請求項5記載の配線構造になっていることを特徴とする半導体装置。

【請求項7】 半導体基板上に下地の層間絶縁膜と第1のエッチングストップ膜とを積層して形成する工程と、前記第1のエッチングストップ膜上に所定の膜厚の無機絶縁膜を形成する工程と、前記第1のエッチングストップ膜で前記下地の層間絶縁膜のエッチングを防止しながら前記無機絶縁膜をドライエッチングして前記無機絶縁膜に複数の配線パターンを形成する工程と、前記溝に金属材料を充填し複数の配線を形成する工程と、前記第1のエッチングストップ膜で前記下地の層間絶縁膜のエッチングを防止しながら所定の前記配線間の無機絶縁膜をドライエッチングし除去する工程と、前記無機絶縁膜の除去された配線間領域に低誘電率絶縁膜を充填する工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項8】 半導体基板上に下地の層間絶縁膜と第1のエッチングストップ膜と中間の層間絶縁膜と第2のエッチングストップ膜とをこの順に積層して形成する工程と、前記第2のエッチングストップ膜上に所定の膜厚の無機絶縁膜を形成する工程と、前記第1のエッチングス

トップ膜で前記中間の層間絶縁膜のエッチングを防止しながら前記無機絶縁膜をドライエッチングして前記無機絶縁膜に複数の配線パターンの溝を形成する工程と、前記溝に金属材料を充填し複数の配線を形成する工程と、前記第2のエッチングストップ膜で前記下地の層間絶縁膜のエッチングを防止しながら所定の前記配線間の無機絶縁膜と前記第2のエッチングストップ膜と前記中間の層間絶縁膜とをドライエッチングし除去する工程と、前記除去された配線間領域に低誘電率絶縁膜を充填する工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項9】 半導体基板上に下地の層間絶縁膜と第1のエッチングストップ膜と中間の層間絶縁膜と第2のエッチングストップ膜とをこの順に積層して形成する工程と、前記第2のエッチングストップ膜上に所定の膜厚の第1の無機絶縁膜を形成する工程と、前記第1のエッチングストップ膜で前記中間の層間絶縁膜のエッチングを防止しながら前記第1の無機絶縁膜をドライエッチングして前記第1の無機絶縁膜に複数の配線パターンの溝を形成する工程と、前記溝に金属材料を充填し複数の配線を形成した後、前記第1の無機絶縁膜と前記配線の上面に第2の無機絶縁膜を被着させる工程と、前記第2のエッチングストップ膜で前記下地の層間絶縁膜のエッチングを防止しながら所定の領域の前記第2の無機絶縁膜と前記配線間の第1の無機絶縁膜と前記第2のエッチングストップ膜と前記中間の層間絶縁膜とをドライエッチングし除去する工程と、前記除去された配線間領域に低誘電率絶縁膜を充填する工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項10】 前記低誘電率絶縁膜を充填する工程の前に前記配線の側壁に第3の無機絶縁膜が形成されることを特徴とする請求項7、請求項8又は請求項9記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置およびその製造方法に関し、特に微細配線の構造とその形成方法に関する。

【0002】

【従来の技術】半導体素子の微細化に伴い、半導体装置の構成には微細な多層配線が必須になる。現在では、このような多層配線を有する半導体装置の層間絶縁膜としては、上層の配線層と下層の配線層との間および同層の配線層間の寄生容量を低減する目的から、誘電率が比較的小さく品質の安定したシリコン酸化膜系の絶縁膜が主流になっている。

【0003】この半導体素子の微細化により、下層の配線幅および配線間隔は縮小されるが、配線抵抗の増加を避けるためには、ある程度の配線の断面積の確保が必要となる。その結果、配線層のアスペクト比（配線の高さ／配線の幅）と共に配線層間のアスペクト比（配線の高

さ/配線の配線間隔)は大きくなる。このために、配線層間の寄生容量が大幅に増加し信号の伝達速度が低下したり、配線層間のクロストーク(隣接する配線層間で信号ノイズが発生する現象)が多発するようになってきている。

【0004】また、層間絶縁膜の表面に大きな段差がある場合、上層の配線層の形成時に、フォトリソグラフィ技術において、フォーカス・マージンの不足から微細なレジストパターンが形成できず、形成できたとしても、大きな段差のために上層の配線層の断線および段差部での配線材料のエッチング残りが発生する。このため、層間絶縁膜の表面が平坦であることも要求される。

【0005】このような微細な多層配線で生じてくる問題を解決するために、低い誘電率を有する層間絶縁膜を適用する種々の手法が提案されている。例えば、月刊Semiconductor World 1995年8月号 26~30頁に記載されている技術がある。そこで、この技術について図面を参照して説明する。図8および図9は、この従来の技術を説明する2層の配線構造の製造工程順の断面図である。

【0006】図8(a)に示すように、シリコン基板の表面上に厚い絶縁膜101が形成される。そして、この厚い絶縁膜101上に、第1バリアメタル膜102、第1配線金属膜103および第2バリアメタル膜104が積層して形成される。さらに、この第2バリアメタル膜104上にマスク絶縁膜105が形成され、フォトリソグラフィ技術でレジストマスク101aが設けられる。

【0007】その後、このレジストマスク101aをエッチングマスクにしてマスク絶縁膜105が反応性イオンエッチング(RIE)されハードマスク層105a、105bが形成される。そして、レジストマスク101aは除去され、ハードマスク層105a、105bをマスクにして第2バリアメタル膜104、第1配線金属膜103および第1バリアメタル膜102が順次ドライエッチングされる。このようにして、図8(b)に示すように、厚い絶縁膜101上に第1バリアメタル層102aおよび102bが形成され、その上に第1配線層103aおよび103bが形成される。さらに、第1配線層103aおよび103b上に第2バリアメタル層104aおよび104bが形成されるようになる。

【0008】次に、図8(c)に示すように、保護絶縁膜106が全体を被覆するように形成され、次に、有機SOG膜107が形成される。

【0009】次に、図8(d)に示すように、有機SOG膜107は化学機械研磨(CMP)法で研磨され平坦化される。ここで、保護絶縁膜106はエッチングストッパ膜として機能する。このようにして、保護絶縁膜106と有機SOG膜107とで構成される第1層間絶縁膜が形成される。ここで、有機SOG膜107の比誘電率は3程度となり低誘電率絶縁膜である。ちなみにシリ

コン酸化膜の比誘電率は4程度である。

【0010】次に、図9(a)に示すように、この第1層間絶縁膜上に第2層間絶縁膜108が形成される。そして、第1配線層103a上の層間絶縁膜すなわち第2層間絶縁膜108、保護絶縁膜106およびハードマスク層105aに第2のバリアメタル層104aに達するスルーホール109が形成される。

【0011】しかる後、図9(b)に示すように、スルーホール内に第2バリアメタル層104aに接続する金属プラグ110が充填され、金属プラグ110に接続する第3バリアメタル層111、第2配線層112および第4バリアメタル層113がそれぞれ形成される。

【0012】このような配線構造では、互いに隣接する第1配線層103aと103bとが、保護絶縁膜106と有機SOG膜107とで構成される絶縁膜を挟んで厚い絶縁膜101上に形成されるようになる。また、下層の配線領域に形成される層間絶縁膜は平坦化されている。

【0013】このようにして、配線間に低誘電率絶縁膜が形成され、層間絶縁膜の平坦化された配線構造ができあがる。

【0014】

【発明が解決しようとする課題】しかし、以上に説明したような従来の技術では、半導体装置の配線構造において、配線間隔の広い領域にも低誘電率絶縁膜が形成される。しかし、一般的に低誘電率絶縁膜は熱膨張係数が大きくその強度は小さい。

【0015】このために、半導体装置の層間絶縁膜にクラックが発生し易くなる。特に、配線構造が多層になるとこのような現象が頻発するようになる。

【0016】また、従来の技術では配線の側面部を除いて全領域に低誘電率絶縁膜が形成される。しかし、一般的に低誘電率絶縁膜は吸湿性が高い。そして、誘電率が低下するほどこの傾向が強い。

【0017】このために、層間絶縁膜中の水分量が増加し絶縁性が低下するようになり、配線構造の品質が劣化するようになる。このような信頼性の低下も、配線構造が多層になってくるとより顕著になる。

【0018】また、このような配線構造の信頼性の低下のために、層間絶縁膜の低誘電率化に限界が生じてくる。

【0019】本発明の目的は、微細配線構造の信頼性を向上させるとともにその高性能化を容易にし、微細な多層配線層に対応できる配線構造とその製造方法を提供することにある。

【0020】

【課題を解決するための手段】このために本発明の半導体装置では、半導体素子を有する半導体基板上に絶縁膜を介して複数の配線が同一層に配設され、前記配線間のうち隣接配線間隔の狭い領域に選択的に第1の層間絶縁

膜が形成され、前記隣接配線間隔の広い領域には第2の層間絶縁膜が形成され、前記第1の層間絶縁膜の誘電率が前記第2の層間絶縁膜の誘電率より小さくなっている。

【0021】ここで、前記第1の層間絶縁膜は前記複数の配線を含む一区画の領域に形成されている。

【0022】あるいは、前記半導体基板上の絶縁膜のうち前記配線間隔の狭いところの前記絶縁膜が掘り下げられ、前記配線間および前記絶縁膜の掘り下げられた領域に第1の層間絶縁膜が充填されている。

【0023】あるいは、前記第1の層間絶縁膜の誘電率より大きな誘電率を有する第3の層間絶縁膜が前記配線の上面に形成され、前記第1の層間絶縁膜が前記配線上の前記第3の層間絶縁膜間にも充填されている。

【0024】あるいは、前記第1の層間絶縁膜の誘電率より大きな誘電率を有する第4の層間絶縁膜が前記配線の側壁に形成されている。

【0025】さらには、半導体基板上に形成される多層配線構造において、下層の配線構造および上層の配線構造が共に上記のような配線構造になっている。

【0026】また、本発明の半導体装置の製造方法は、半導体基板上に下地の層間絶縁膜と第1のエッチングストップ膜とを積層して形成する工程と、前記第1のエッチングストップ膜上に所定の膜厚の無機絶縁膜を形成する工程と、前記第1のエッチングストップ膜で前記下地の層間絶縁膜のエッチングを防止しながら前記無機絶縁膜をドライエッチングして前記無機絶縁膜に複数の配線パターンの溝を形成する工程と、前記溝に金属材料を充填し複数の配線を形成する工程と、前記第1のエッチングストップ膜で前記下地の層間絶縁膜のエッチングを防止しながら所定の配線間隔の無機絶縁膜をドライエッチングし除去する工程と、前記無機絶縁膜の除去された配線間領域に低誘電率絶縁膜を充填する工程とを含む。

【0027】あるいは、本発明の半導体装置の製造方法は、半導体基板上に下地の層間絶縁膜と第1のエッチングストップ膜と中間の層間絶縁膜と第2のエッチングストップ膜とをこの順に積層して形成する工程と、前記第2のエッチングストップ膜上に所定の膜厚の無機絶縁膜を形成する工程と、前記第1のエッチングストップ膜で前記中間の層間絶縁膜のエッチングを防止しながら前記無機絶縁膜をドライエッチングして前記無機絶縁膜に複数の配線パターンの溝を形成する工程と、前記溝に金属材料を充填し複数の配線を形成する工程と、前記第2のエッチングストップ膜で前記下地の層間絶縁膜のエッチングを防止しながら所定の配線間隔の無機絶縁膜と前記第2のエッチングストップ膜と前記中間の層間絶縁膜とをドライエッチングし除去する工程と、前記除去された配線間領域に低誘電率絶縁膜を充填する工程とを含む。

【0028】あるいは、本発明の半導体装置の製造方法

は、半導体基板上に下地の層間絶縁膜と第1のエッチングストップ膜と中間の層間絶縁膜と第2のエッチングストップ膜とをこの順に積層して形成する工程と、前記第2のエッチングストップ膜上に所定の膜厚の第1の無機絶縁膜を形成する工程と、前記第1のエッチングストップ膜で前記中間の層間絶縁膜のエッチングを防止しながら前記第1の無機絶縁膜をドライエッチングして前記第1の無機絶縁膜に複数の配線パターンの溝を形成する工程と、前記溝に金属材料を充填し複数の配線を形成した後、前記第1の無機絶縁膜と前記配線の上面に第2の無機絶縁膜を被着させる工程と、前記第2のエッチングストップ膜で前記下地の層間絶縁膜のエッチングを防止しながら所定の領域の前記第2の無機絶縁膜と前記配線間の第1の無機絶縁膜と前記第2のエッチングストップ膜と前記中間の層間絶縁膜とをドライエッチングする工程と、前記除去された配線間領域に低誘電率絶縁膜を充填する工程とを含む。

【0029】あるいは、前記低誘電率絶縁膜を充填する工程の前に前記配線の側壁に第3の無機絶縁膜が形成される。

【0030】このように本発明では、複数の配線の所定の領域にのみ低誘電率絶縁膜が形成され、その他の領域には耐湿性、絶縁性あるいは力学的強度に優れた絶縁膜が形成される。このために、微細配線になっても信号の伝達速度は高く、信頼性の高い多層配線の形成が容易になる。

【0031】

【発明の実施の形態】次に、図面を参照して本発明の実施の形態を説明する。図1は第1の実施の形態を説明するための配線部の断面図である。そして、図2乃至図4はこのような配線部構造を製造するための工程順の断面図である。

【0032】図1に示すように、例えばシリコン基板等の半導体基板の表面に形成された厚い絶縁膜1上に、膜厚の薄い第1ストップ膜2が形成されている。ここで、厚い絶縁膜1はフィールド酸化膜等の素子分離絶縁膜である。そして、この第1ストップ膜2上に複数の下層配線3が形成されている。

【0033】そして、この下層配線3間で、配線間隔の広い領域には第1層間絶縁膜4が形成され、配線間隔の狭い領域には低誘電率絶縁膜5が形成されている。ここで、第1層間絶縁膜4は通常のシリコン酸化膜で構成されその比誘電率は4程度になる。これに対し、低誘電率絶縁膜5は有機絶縁膜等で構成されその比誘電率は第1層間絶縁膜4より小さくなるように設定される。

【0034】このようにして形成された下層の配線層を被覆するように、第2層間絶縁膜6、第2ストップ膜7および第3層間絶縁膜8が積層して形成される。そして、この積層絶縁膜の所定の領域に金属プラグ9が形成され下層配線3と電気接続される。そして、第3層間絶

緑膜8上に上層配線10が形成され、この金属プラグ9と電気接続されるようになる。ここで、第2層間絶縁膜6および第3層間絶縁膜7は耐湿性の高い通常のシリコン酸化膜等で構成される。

【0035】また、上述した下層の配線層の場合と同様に、この上層配線10間で、配線間隔の広い領域には第4層間絶縁膜11が形成され、配線間隔の狭い領域には低誘電率絶縁膜5aが形成されている。ここで、第1層間絶縁膜11は通常のシリコン酸化膜で構成されその比誘電率は4程度になる。これに対し、低誘電率絶縁膜5aは有機絶縁膜等で構成されその比誘電率は第1層間絶縁膜4より小さくなるように設定される。

【0036】以上に説明したように、本発明の配線構造では配線間隔の広い領域に通常にシリコン酸化膜のような絶縁膜が形成される。ここで、この絶縁膜は耐湿性に優れ強度に対し高い絶縁材料となっている。これに対し、配線間隔の狭い領域には低誘電率絶縁膜が選択的に形成されるようになる。

【0037】次に、以上のような配線構造の製造方法を図2乃至図4に基づいて説明する。図2(a)に示すように、シリコン酸化膜等で厚い絶縁膜1がシリコン基板上に形成される。そして、この厚い絶縁膜1上に第1ストップ膜2が形成される。ここで、第1ストップ膜2は化学気相成長(CVD)法であるプラズマCVD法で堆積される膜厚50nm程度のシリコン窒化膜である。

【0038】次に、この第1ストップ膜2上に第1層間絶縁膜4が形成される。この第1層間絶縁膜4はプラズマCVD法で堆積される膜厚500nmのシリコン酸化膜である。そして、フォトリソグラフィ技術でレジストマスク12が形成される。ここで、レジストマスク12のパターン間隔は0.3μm程度に設定される。

【0039】次に、図2(b)に示すように、第1層間絶縁膜4がレジストマスク12をエッチングマスクにしたRIEで加工される。ここで、RIEの反応ガスとしてはC₄F₈とCOの混合ガスが使用される。このような反応ガスであれば、シリコン窒化膜で構成される第1ストップ膜2はほとんどエッチングされない。これは、シリコン酸化膜である第1層間絶縁膜4とのエッチング選択比が30程度と大きくなるからである。

【0040】次に、レジストマスク12は除去され、図2(c)に示すように第1層間絶縁膜4を被覆するように配線金属膜13がCVD法等で堆積される。ここで、配線金属膜13はAl、Cu等あるいはこれらの合金さらにはタングステン等の高融点金属膜である。

【0041】次に、図2(d)に示すように配線金属膜13はCMP法で研磨され不要の部分は除去される。このようにして、パターニングされた第1層間絶縁膜4内に埋設された下層配線3が形成される。すなわち配線の高さが0.5μm程度の埋込配線(以下、ダマシン配線という)が形成されることになる。

【0042】次に、図3(a)に示すように、ダマシン配線された下層配線3のうち配線間隔の狭い領域の第1層間絶縁膜4が露出するように、また配線間隔の広い領域にある第1層間絶縁膜4が覆われるように、レジストマスク14が形成される。

【0043】次に、図3(b)に示すように、レジストマスク14および一部の下層配線3をエッチングマスクにして、上述の配線間隔の狭い領域の第1層間絶縁膜4のみがRIEで除去される。ここで、RIEの反応ガスとしてはC₄F₈とCOの混合ガスが使用される。この反応ガスでは、下層配線3はエッチングされず、厚い絶縁膜1も第1ストップ膜2でエッチングから保護されるようになる。

【0044】次に、図3(c)に示すように、低誘電率絶縁膜5が全面に形成される。例えば、有機SOG膜を形成する塗布溶液が全面に回転塗布される。ここで、塗布溶液は、上記の第1層間絶縁膜4の除去された下層配線3間に充填される。次に、熱処理が施されて塗布溶液は熱硬化され、上記の有機SOG膜が形成されることになる。このように形成される有機SOG膜の比誘電率は3以下になる。

【0045】次に、この低誘電率絶縁膜5である有機SOG膜はCMP法で研磨され平坦化される。そして、不要の部分は除去されて、図3(d)に示すように、下層配線3のうち配線間隔の狭い領域に選択的に低誘電率絶縁膜5が形成されるようになる。

【0046】次に、図4(a)に示すように、下層配線3、第1層間絶縁膜4および低誘電率絶縁膜5を被覆するように、第2層間絶縁膜6、第2ストップ膜7および第3層間絶縁膜8が積層して形成される。ここで、第2層間絶縁膜6および第3層間絶縁膜8はともにプラズマCVD法で堆積されたそれぞれ膜厚200nm、300nmのシリコン酸化膜である。また、第2ストップ膜7はプラズマCVD法で堆積された膜厚50nm程度にシリコン窒化膜である。

【0047】次に、図4(b)に示すように、第2層間絶縁膜6、第2ストップ膜7および第3層間絶縁膜8の所定の領域にスルーホールが設けられ、このスルーホールに金属プラグ9が充填されて下層配線3に電気接続するようになる。ここで、この金属プラグ9は、例えばCVD法によるタングステン膜の成膜とCMP法による研磨とで形成される。

【0048】次に、第3層間絶縁膜8上に上層配線10と第4層間絶縁膜11が形成される。このような上層の配線層の形成方法は、先述した下層の配線層の形成方法と同じである。次に、図4(c)に示すように、上層配線10の配線間の第4層間絶縁膜11と第3層間絶縁膜8とが順次にRIEでエッチングされる。ここで、RIEの反応ガスとして、C₄F₈とCOの混合ガスが使用される。このような反応ガスによるドライエッチング

で、第2ストップ膜7はほとんどエッチングされず、第2層間絶縁膜6はエッチングから保護されることになる。

【0049】以後は、図1で説明したように、上層配線10間に低誘電率絶縁膜5aが充填される。ここで、この低誘電率絶縁膜5aは、下層配線3間の低誘電率絶縁膜5と同様の方法で形成される。

【0050】このように低誘電率絶縁膜が所定の一部の領域に選択的に形成されるため、配線構造が微細になっても配線層間の寄生容量が大幅に増加し信号の伝達速度が低下したり、配線層間のクロストークが多発することは無くなる。

【0051】また、配線の間隔の広い領域では熱膨張率が小さく強度の大きな層間絶縁膜が使用される。このために、層間絶縁膜として全領域が低誘電率絶縁膜で構成される場合に生じる、層間絶縁膜のクラック発生の問題も解消するようになる。

【0052】さらに、本発明では、下層の配線層の配線間に層間絶縁膜が充填されるように形成される。このため、層間絶縁膜の表面に大きな段差は形成されず、多層配線の上層の配線層の形成が非常に容易になる。

【0053】次に、本発明の第2の実施の形態を図5と図6に基づいて説明する。図5は第2の実施の形態を説明するための配線部の断面図である。そして、図6はこのような配線部構造を製造するための工程順の断面図である。ここで、第1の実施の形態と同一のものは同一符号で示される。

【0054】図5に示すように、半導体基板の表面に形成された厚い絶縁膜1上に、膜厚の薄い第1ストップ膜2が形成されている。ここで、厚い絶縁膜1はフィールド酸化膜等の素子分離絶縁膜である。そして、この第1ストップ膜2上に中間絶縁膜15が形成されている。さらに、中間絶縁膜15上に第3ストップ膜16が形成され、この第3ストップ膜16上に複数の下層配線3が形成される。

【0055】そして、第1の実施の形態と同様に、この下層配線3間の間隔の広い領域には第1層間絶縁膜4が形成されている。また、配線間隔の狭い領域には低誘電率絶縁膜5aが形成されている。しかし、この場合には、図5に示すように、下層配線3と低誘電率絶縁膜5との間に保護絶縁膜17が形成されている。

【0056】このようにして形成された下層の配線層を被覆するように、第2層間絶縁膜6および第2ストップ膜7が積層して形成される。そして、この積層絶縁膜の所定の領域に金属プラグ9が形成され下層配線3と電気接続される。そして、第2ストップ膜7上に上層配線10が形成され、この金属プラグ9と電気接続されるようになる。

【0057】また、上述した下層の配線層の場合と同様に、この上層配線10間で、配線間隔の広い領域には第

4層間絶縁膜11が形成され、配線間隔の狭い領域には低誘電率絶縁膜5aが形成されている。ここで、上層配線10と低誘電率絶縁膜5aとの間には保護絶縁膜17aが形成されている。

【0058】以上に説明したように、配線間隔の広い領域に耐湿性に優れ強度の高い絶縁材料が形成され、配線間隔の狭い領域には低誘電率絶縁膜が選択的に形成されるようになる。そして、この場合には、配線層と低誘電率絶縁膜との間に保護絶縁膜が形成される。

【0059】次に、以上のような配線構造の製造方法を図6に基づいて説明する。ここで、第1の実施の形態で説明した図3(b)の工程までは、ほぼ同様にして形成される。

【0060】すなわち、図6(a)に示すように、厚い絶縁膜1上に第1ストップ膜2が形成され、この第1ストップ膜2上にCVD法で中間絶縁膜15が形成される。ここで、中間絶縁膜15は膜厚が300nm程度のシリコン酸化膜である。さらに、第3ストップ膜16がプラズマCVD法で堆積される。ここで、第3ストップ膜16は膜厚50nm程度のシリコン窒化膜である。

【0061】次に、ダマシン配線の形成方法で、下層配線3および第1層間絶縁膜4が形成される。そして、レジストマスク14が形成され、このレジストマスク14および一部の下層配線3をエッチングマスクにして、配線間隔の狭い領域の第1層間絶縁膜4と第3ストップ膜16と中間絶縁膜15がRIEで除去される。ここで、下層配線3の間隔は3.5μm程度に設定されている。また、図6(a)に示されるように、下層配線3間の層間絶縁膜は配線底面の位置より深い領域までエッチング除去されるようになる。

【0062】次に、図6(b)に示すように、全面を被覆するように膜厚の薄い保護絶縁膜17が形成される。この保護絶縁膜17は、プラズマCVD法で堆積される膜厚が50nm程度のシリコン酸化膜である。次に、低誘電率絶縁膜5aが充填されるようにして形成される。ここで、低誘電率絶縁膜5として、吸湿性のある有機絶縁膜、例えばポリイミド膜等が用いられる。あるいは、SiOF膜、SiBN膜等の無機絶縁膜が使用される。このようにして、下層配線3間に形成される低誘電率絶縁膜5は、配線底面の位置より深い領域まで充填されるようになる。

【0063】次に、図6(c)に示すように、保護絶縁膜17上に第2層間絶縁膜6および第2ストップ膜7が積層して形成される。ここで、第2層間絶縁膜6はプラズマCVD法で堆積されたそれぞれ膜厚500nm程度のシリコン酸化膜である。また、第2ストップ膜7はプラズマCVD法で堆積された膜厚50nm程度にシリコン窒化膜である。

【0064】次に、第2層間絶縁膜6および第2ストップ膜7の所定の領域にスルーホールが設けられ、このス

ルーホールに金属プラグ9が充填されて下層配線3に電気接続するようになる。ここで、この金属プラグ9は、例えばCVD法によるタングステン膜の成膜とCMP法による研磨とで形成される。

【0065】次に、第2ストッパ膜7上に上層配線10と第4層間絶縁膜11とが形成される。このような上層の配線層の形成方法は、第1の実施の形態での配線層の形成方法と同じである。次に、図6(c)に示すように、レジストマスク18が形成され、上層配線10の配線間の第4層間絶縁膜11と第2ストッパ膜7とが順次にRIEでエッチングされる。

【0066】以後は、図5で説明したように、全面に保護絶縁膜17aが形成される。ここで、保護絶縁膜17aは、先述したような保護絶縁膜17と同様にして形成される。そして、上層配線10間に低誘電率絶縁膜5aが充填される。ここで、この低誘電率絶縁膜5aは、下層配線3間の低誘電率絶縁膜5と同様の方法で形成される。

【0067】この第2の実施の形態では、表面が保護絶縁膜で被覆された配線間に低誘電率絶縁膜が充填されるようになる。このために、高い吸湿性を有したり低い絶縁性を有する低誘電率絶縁膜が適用できるようになる。

【0068】また、下層配線間に形成される低誘電率絶縁膜は、配線底面の位置より深い領域まで充填されている。このために、隣接する配線の下部間すなわち配線の端部間に形成される寄生容量も低減されるようになる。

【0069】次に、本発明の第3の実施の形態を図7に基づいて説明する。図7は第3の実施の形態を説明するための配線部の断面図である。

【0070】図7に示すように、厚い絶縁膜1上にダマシン法により複数の下層配線3と第1層間絶縁膜4が形成されている。ここで、下層配線3上にはハードマスク層19が形成されている。このハードマスク層19は膜厚が300nm程度のシリコン酸化膜である。そして、配線間隔の狭い領域には低誘電率絶縁膜5が形成されている。ここで、厚い絶縁膜1表面はエッチングされ、低誘電率絶縁膜5は下層配線3の底面の位置より底部まで充填されるようになる。また、この低誘電率絶縁膜5は下層配線3の上面の位置より上部まで充填される。なお、第1層間絶縁膜4は通常のシリコン酸化膜で構成され、低誘電率絶縁膜5は有機絶縁膜等で構成されその比誘電率は第1層間絶縁膜4より小さくなるように設定される。

【0071】このようにして形成された下層の配線層を被覆するように、第2層間絶縁膜6が形成されCMP法で平坦化されている。そして、この第2層間絶縁膜6の所定の領域に金属プラグ9が形成され下層配線3と電気接続される。そして、第2層間絶縁膜6上に上層配線10とハードマスク層19aとが形成され、この金属プラグ9と電気接続されるようになる。ここで、第2層間絶

縁膜6は耐湿性の高い通常のシリコン酸化膜等で構成される。

【0072】また、上述した下層の配線層の場合と同様に、この上層配線10間で、配線間隔の広い領域には第4層間絶縁膜11が形成され、配線間隔の狭い領域には低誘電率絶縁膜5aが形成されている。ここで、第2層間絶縁膜6表面はエッチングされ、低誘電率絶縁膜5aは上層配線10の底面の位置より底部まで充填されるようになる。また、この低誘電率絶縁膜5aは上層配線10の上面の位置より上部まで充填される。

【0073】この配線構造の形成方法は、第1の実施の形態で説明したのとほぼ同様となるのでその詳細な説明は省略される。この場合の違いは、配線間に対応する厚い絶縁膜1の所定の領域が掘り下げられ、さらに、配線の上面にハードマスク層が形成される点にある。

【0074】この第3の実施の形態の場合には、隣接する配線の下部間および上部間すなわち配線の端部間に形成される寄生容量が低減され、配線間の寄生容量が大幅に低減されるようになる。

【0075】なお、本発明での低誘電率絶縁膜としては、実施の形態で説明した以外に、HSQ（ハイドロゲン シルセキオサン）、ポリアリルエーテル、フッ素化ポリアリルエーテル、無機ポリシラザン、有機ポリシラザン、BCB（ベンゾシクロブテン）、MSQ（メチルシルセキオサン）、フッ素化ポリイミド、プラズマCFポリマー、プラズマCHポリマー、テフロンAF、バリレンN、AF-4（ポリバラキシリレン）、ポリナフタレンN等が使用される。

【0076】

【発明の効果】以上に説明したように、本発明では半導体装置の配線構造において、配線間隔の広い領域にはシリコン酸化膜等の強度が高く耐湿性の良い絶縁膜が形成され、配線間隔の狭い領域には低誘電率絶縁膜が選択的に形成される。

【0077】このために、配線構造が微細になって配線間隔が狭くなっても、配線層間の寄生容量が大幅に増加し信号の伝達速度が低下したり、配線層間のクロストークが多発することは無くなる。

【0078】また、上述したように、配線の間隔の広い領域では熱膨張率が小さくしかも強度の大きな層間絶縁膜が選択できるようになる。このために、層間絶縁膜として全領域が低誘電率絶縁膜で構成される場合に生じ易くなる層間絶縁膜のクラック発生は皆無になる。

【0079】さらに、本発明では、下層の配線層の配線間に層間絶縁膜が充填されるように形成される。このため、層間絶縁膜の表面に大きな段差は形成されず、多層配線の上層の配線層の形成が非常に容易になる。

【0080】このようにして、本発明は半導体装置の微細化あるいは多機能化に伴う微細多層配線の高性能化および信頼性の向上を容易にする。

13

14

【図面の簡単な説明】

【図1】本発明の第1の実施の形態を説明するための配線部の断面図である。

【図2】上記の実施の形態の製造工程順の断面図である。

【図3】上記の実施の形態の製造工程順の断面図である。

【図4】上記の実施の形態の製造工程順の断面図である。

【図5】本発明の第2の実施の形態を説明するための配線部の断面図である。

【図6】上記の実施の形態の製造工程順の断面図である。

【図7】本発明の第3の実施の形態を説明するための配線部の断面図である。

【図8】従来を技術を説明するための製造工程順の断面図である。

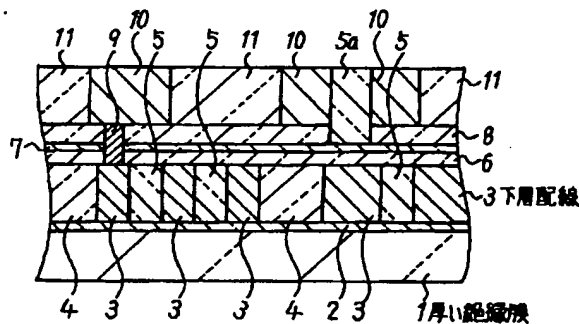
【図9】従来を技術を説明するための製造工程順の断面図である。

【符号の説明】

- 1, 101 厚い絶縁膜
2 第1ストップ膜
3 下層配線
4 第1層間絶縁膜
5, 5a 低誘電率絶縁膜

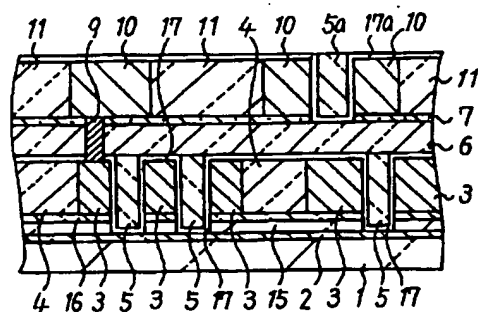
- 6, 108 第2層間絶縁膜
7 第2ストップ膜
8 第3層間絶縁膜
9, 110 金属プラグ
10 上層配線
11 第4層間絶縁膜
12, 14, 18 レジストマスク
13 配線金属膜
15 中間絶縁膜
16 第3ストップ膜
17, 17a, 106 保護絶縁膜
19, 19a, 105a, 105b ハードマスク層
101a レジストマスク
102 第1バリアメタル膜
102a, 102b 第1バリアメタル層
103 第1配線金属膜
103a, 103b 第1配線層
104 第2バリアメタル膜
104a, 104b 第2バリアメタル層
20 105 マスク絶縁膜
107 有機SOG膜
109 スルーホール
111 第3バリアメタル層
112 第2配線層
113 第4バリアメタル層

【図1】



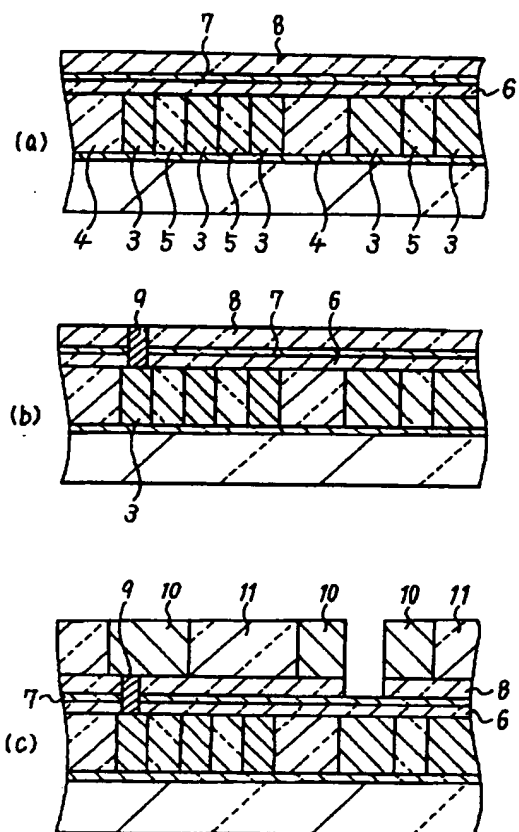
- 2 第1ストップ膜
4 第1層間絶縁膜
5 低誘電率絶縁膜
6 第2層間絶縁膜
7 第2ストップ膜
8 第3層間絶縁膜
9 金属プラグ
10 上層配線
11 第4層間絶縁膜

【図5】

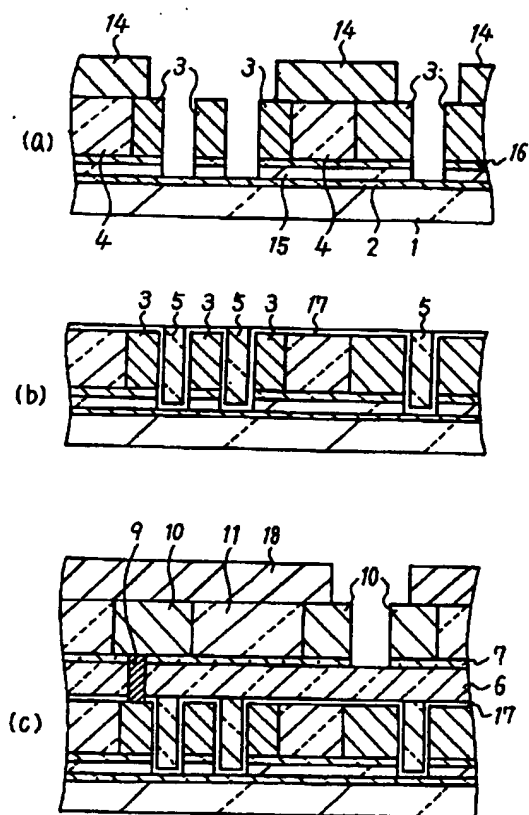


- 15 中間絶縁膜
16 第3ストップ膜
17, 17a 保護絶縁膜

【図4】



【図6】



【図8】

